

Reference C

Japanese Patent Public Disclosure No. 22331/1978

Date of Public Disclosure: March 1, 1978

Application No. 96145/1976

Application Date: August 13, 1976

Inventor: Seiichi Sugaya et al.

Applicant: Fujitsu Electric Co., Ltd.

Title: Dynamic Address Translation System

Claims:

1. A system wherein a plurality of channels are connected to a main memory circuit through a channel control circuit and data are transmitted between said main memory circuit and a channel circuit in accordance with an indicated logical address, a dynamic address translation system characterized in that said channel control circuit has a single address translation function commonly used by each channel and that data are transmitted by way of translating a logical address indicated by said address translation function to an actual address.

2. The dynamic address translation system described in claim 1 wherein said address translation function has two registers for indicating the actual address of hardware, whereby data transmission is performed and the next address translation is conducted by operating in turn said two registers.

BEST AVAILABLE COPY

STK V. EMC
STK 07884

②日本国特許庁

③特許出願公開

公開特許公報

昭53-22331

④Int. Cl.	識別記号	⑤日本分類	庁内整理番号	⑥公開 昭和53年(1978)3月13日
G 11 C 8 00		97(7) C 0	6453-56	
G 06 F 3 00		97(7) C 02	6453-56	発明の数 1
G 06 F 9 00		97(7) F 11	6745-56	審査請求 未請求
G 06 F 13 00		97(7) D 0	6711-56	
G 11 C 9 06				(全 3 頁)

⑧ダイナミックアドレス変換方式

川崎市中原区上小田中1015番地
富士通株式会社内

⑨特 願 昭51-96145

⑩発 明 者 宮島茂

⑪出 願 昭51(1976)8月13日

川崎市中原区上小田中1015番地
富士通株式会社内

⑫発 明 者 菅谷誠一

⑬出 願 人 富士通株式会社

川崎市中原区上小田中1015番地
富士通株式会社内

川崎市中原区上小田中1015番地

同 渡辺欽則

⑭代 理 人 弁理士 青木明 外 3 名

明 細 書

1. 発明の名称

ダイナミックアドレス変換方式

2. 特許請求の範囲

(1) チャンネル制御装置を介して複数のチャンネル装置が主記憶装置に接続され、指定された論理アドレスによってデータが上記主記憶装置とチャンネル装置との間で転送されるときシステムにおいて、上記チャンネル制御装置が各チャンネル装置に共用される単一のアドレス変換テーブルを有し、該アドレス変換テーブルより指定された論理アドレスを実際のハードウェアのアドレスに変換しながらデータの転送を行うことを特徴とするダイナミックアドレス変換方式。

(2) 特許請求の範囲(1)の発明において、上記アドレス変換テーブルが実際のハードウェアのアドレスを指定するレジスタを2個有し、これらのレジスタを交互に動作させることによりデータ転送と次のアドレス変換を同時に行うことを特徴とするダイナミックアドレス変換方式。

3. 発明の詳細な説明

本発明は一般にアドレス変換方式に関し、特に情報処理システムにおけるチャンネル装置でのアドレス変換方式に関する。

最近の情報処理システムにおいて用いられる方式のひとつはページアドレス方式がある。これは主記憶および補助記憶を一定の大きさのページと呼ばれるブロック（通常1K〜2Kバイト）に分割し、ページ単位に情報を転送するもので、この方式によるとユーザーは実際の主記憶の大きさにかかわらず大きな仮想の主記憶があるかのごとくプログラムを書くことが出来る。ページアドレス方式でのプログラムのアドレス指定はページ番号と、そのページ内のアドレスとによって行われるので、これらの論理アドレスを実際のハードウェアのアドレス（実アドレス）に変換しなければならぬ。この変換は、中央処理装置が使用するプログラムの各命令に関して、ハードウェアにより自動的に行われていたが、主記憶装置と補助記憶装置（又は入出力装置）との間でのページ

の転送の場合作にソフトウェアにより行われていた
ので、ソフトウェアが複雑化し、かつ増設記憶シ
ステム全体としての処理能力が低下するという問
題があった。又この変換をハードウェアにより行
う方式も提案されているが、従来の技術では多数
の変換テーブルが使用されるので、装置が複雑化
し、かつ変換に時間がかかるという欠点がある。

従って本発明は上記問題を改善するもので、
その目的は補助記憶装置及び入出力装置との転送
に關して、中央処理装置と同様に論理アドレス及
び実アドレスを扱うことと新しいアドレス変換
方式を提供することにある。

この目的を達成するための本発明のひとつの特
徴はチャネル制御装置を介して複数のチャネル装
置が主記憶装置に接続され、指定された論理アド
レスに従ってセグメントを単位とするデータが上
記主記憶装置とチャネル装置との間で転送される
ときシステムにおいて、上記チャネル制御装置
が各チャネル装置に共用される単一のアドレス変
換機構を有し、該アドレス変換機構により指定さ

れた論理アドレスを実際のハードウェアのアドレ
スに変換したからデータの転送を行うこととアド
レス変換方式にある。

本発明の別の特徴は、上記アドレス変換機構が
実際のハードウェアのアドレスを指定するレジス
タを2個有し、これらのレジスタを交互に動作さ
せることによりデータ転送と次のアドレス変換を
同時に行うこととアドレス変換方式にある。以下
各図により実施例を説明する。

第1図は本発明に適する特徴的記憶システムの
構成例で、中央処理装置(CPU)と主記憶
装置(MS)とチャネル制御装置(CHC)が接続
され、さらに、複数のチャネル装置(CH)はイ
ンターフェース(IF)、チャネル制御装置(CHC)
を介して主記憶装置(MS)に接続される。チャ
ネル装置(CH)には、補助記憶装置(AS)又は
入出力装置が接続される。ページの転送は主記憶
装置(MS)と補助記憶装置(AS)又は入出力装
置の間で行われるのであるが、本発明の装置で
あるアドレス変換は、チャネル制御装置(CHC)

を中心に行われるので、以下の説明ではこの部分
を特に詳しく説明する。

第2図はチャネル制御装置(CHC)の主要部の
ブロックダイアグラムを示す。コマンドのアド
レス変換のために、論理コマンドアドレスレジス
タ(LCAR)及び実コマンドアドレスレジスタ
(RCAR)がもうけられ、データのアドレス変換
のために論理データアドレスレジスタ(LDAR)
及び2個の実データアドレスレジスタ(RDAR(1)
及びRDAR(2))がもうけられ、さらにアドレス変
換のパラメータを供給するためのSTWレジスタが
もうけられる。これらのレジスタはチャネル毎に
もうけられるが、アドレス変換機構そのものは全
チャネルに共通である。上記各レジスタのうち
STWレジスタ以外の各レジスタは当該レジスタ
の内容を+1する機能(INC)又は-1する機
能(DEC)をもち、又これらのレジスタは、ペー
ジインデックス(P)とバイトインデックス(B)
をもち、前者は変換テーブルを参照する際のイン
デックスをあらわし、後者はページ内のアドレス

をあらわす。

チャネルが論理アドレス、実アドレスのいずれ
を扱うかは特別のチャネルコマンドにより設定さ
れるものとし、前者を論理モード、後者を実モー
ドと呼ぶ。

論理モードに設定されたチャネルは、それ以後
のコマンドアドレス及びデータアドレスを論理ア
ドレスとして扱う。論理モードに設定されたもの
のチャネルコマンドを二つとすると、このコマンドか
らSTWレジスタにアドレス変換に必要なパラメ
ータをうけとる。このコマンドは、又、次にとり
出すコマンドの論理アドレスが与えられるので、
これを論理コマンドアドレスレジスタ(LCAR)
に設定した後、アドレス変換を行い、結果を実コ
マンドアドレスレジスタ(RCAR)に設定する。
ここでアドレス変換は次のように行われる。

アドレス変換のための変換テーブル(T)はソフト
ウェアによって作成され、主記憶装置(MS)
に記憶される(第2図では説明の便宜上変換テー
ブル(T)を表示するが、実際にはテーブルは主記

値が書き込まれる)。STWレジスタはこの変換テーブルの先頭アドレスを保持する。アドレス変換機構は、STWレジスタの内容と論理コマンドアドレスレジスタのページインデックスとを処理して（例えば加算）得られるアドレスを使って変換テーブルの内容を読み取り、この結果と論理コマンドアドレスレジスタのバイトインデックスとを合成して実アドレスを作成し、結果を実コマンドアドレスレジスタ(RCAR)に設定する。

次にチャンネルは、この実コマンドアドレスを用いて、主記憶装置(MS)よりコマンドを読み出し、このコマンドから得られる制御データアドレスを制御データアドレスレジスタ(LDAR)に設定し、この内容が上記のコマンドアドレスの場合と同様にしてアドレス変換されて、その結果が実データアドレスレジスタ(RDAR.1)又はRDAR.2)に設定される。この時制御データアドレスレジスタ(LDAR)の内容に次のページの論理アドレスに更新される。ここでチャンネルはコマンドの実行に入り、実データアドレスレジスタ

(RDAR.1)又はRDAR.2)のアドレス指定によってデータの転送が行われる。

実データアドレスレジスタが2個用意される理由に次のとおりである。

コマンドの実行開始直後にページの境界に達した場合、次のページのアドレス変換が終了するまで次のページの転送をすることが出来ない。転送速度の違いや初期配線の場合にオーバーランを起す危険がある。これを防止するために、本機構では転送の開始前に2ページ分の実アドレスを用意し、これらをRDAR.1及びRDAR.2)に設定する。チャンネルは最初にRDAR.1)を使用してデータ転送を行い、ページの境界に達すると、RDAR.2)によりデータ転送を継続する。RDAR.2)によるデータ転送終了の時点でコマンドでの転送がそのページで終了しない限り、少なくとも1ページ分は残るので、この転送中にさらに次のページのアドレス変換を行って結果はRDAR.1)に設定される。このようにページの境界に達する毎にRDAR.1)とRDAR.2)を切替えたがって交互に使用することにより、データの転送が中断せずに行われる。

以上詳しく説明したごとく、本発明によれば、単一のアドレス変換機構を使用して、ページアドレス方式におけるチャンネルのアドレス変換を簡便に行うことができる。

なお、アドレスの変換単位はページ・アドレス単位に限らず、幾つかのページのまとまったいわゆるセグメント・アドレス単位で行ってもよいことはいうまでもない。

4. 各部の簡単な記号

第1図に本発明の適用されるシステム構成例、第2図に本発明によるチャンネル制御装置の主要部のブロックタイアグラムを示す。

(符号の説明)

CPU, 中央処理装置 MS, 主記憶装置
CHC, チャンネル制御装置 CH, チャンネル制御
LCAR, 論理コマンドアドレスレジスタ
LDAR, 制御データアドレスレジスタ
RCAR, 実コマンドアドレスレジスタ
RDAR, 実データアドレスレジスタ
STW, STWレジスタ

